

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

501 10-2881-000
jc986 U.S. PTO
09/816055
03/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 3月24日

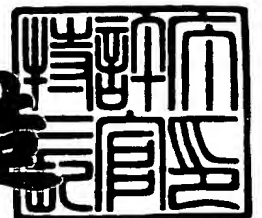
出願番号
Application Number: 特願2000-083367

出願人
Applicant(s): ソニー株式会社

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3100161

【書類名】 特許願

【整理番号】 9900687504

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/52
H01L 21/50

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 高岡 裕二

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 上出 幸洋

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 平山 照峰

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 波多野 正喜

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 支持基板上に搭載された複数の半導体チップと、
前記複数の半導体チップを埋め込む状態で前記支持基板上に設けられた絶縁膜と、

前記絶縁膜に形成された接続孔を介して前記各半導体チップに接続する状態で
当該絶縁膜上に設けられた配線とを備えた

ことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
前記配線を覆う状態で前記絶縁膜上に設けられた上層絶縁膜と、
前記上層絶縁膜に形成された接続孔を介して前記配線に接続する状態で当該上
層絶縁膜上に設けられた突起電極とを備えた

ことを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、
前記複数の半導体チップのうちの一部の半導体チップにおける所定回路が、前
記複数の半導体チップで共有されるように前記配線が設けられている

ことを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、
前記所定回路は、外部機器との入出力インターフェース回路、電源回路、及び
静電保護回路のうちの少なくとも 1 つの回路である

ことを特徴とする半導体装置。

【請求項 5】 複数の半導体チップと、
前記複数の半導体チップの裏面を露出させた状態で当該複数の半導体チップを
その表面側から埋め込んで保持する絶縁材料層と、

前記絶縁材料層に形成された接続孔を介して前記各半導体チップに接続する状
態で当該絶縁材料層上に設けられた配線とを備えた

ことを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、

前記配線を覆う状態で前記絶縁材料層上に設けられた上層絶縁膜と、
前記上層絶縁膜に形成された接続孔を介して前記配線に接続する状態で当該上層絶縁膜上に設けられた突起電極とを備えた
ことを特徴とする半導体装置。

【請求項 7】 請求項 5 記載の半導体装置において、
前記複数の半導体チップのうちの一部の半導体チップにおける所定回路が、前記複数の半導体チップで共有されるように前記配線が設けられている
ことを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置において、
前記所定回路は、外部機器との入出力インターフェース回路、電源回路、及び静電保護回路のうちの少なくとも 1 つの回路である
ことを特徴とする半導体装置。

【請求項 9】 支持基板上に複数の半導体チップを搭載してなる半導体装置において、
前記複数の半導体チップのうちの一部の半導体チップにおける所定回路を、当該複数の半導体チップで共有してなる
ことを特徴とする半導体装置。

【請求項 10】 請求項 9 記載の半導体装置において、
前記所定回路は、外部機器との入出力インターフェース回路、電源回路、及び静電保護回路のうちの少なくとも 1 つの回路である
ことを特徴とする半導体装置。

【請求項 11】 支持基板上に複数の半導体チップをダイボンディングする工程と、
前記半導体チップを埋め込む状態で、前記支持基板上に絶縁膜を形成する工程と、
前記各半導体チップに達する接続孔を前記絶縁膜に形成し、当該接続孔を介して前記各半導体チップにそれぞれ接続される配線を前記絶縁膜上に形成する工程とを行う
ことを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 記載の半導体装置の製造方法において、
前記配線を覆う状態で前記絶縁膜上に上層絶縁膜を形成する工程と、
前記配線に達する接続孔を前記上層絶縁膜に形成し、当該接続孔を介して前記
配線に接続する状態で当該上層絶縁膜上に突起電極を形成する工程とを行う
ことを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 1 1 記載の半導体装置の製造方法において、
前記支持基板は半導体ウェハである
ことを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 1 記載の半導体装置の製造方法において、
前記支持基板上に複数の半導体チップをダイボンディングする工程では、前記
支持基板上に塗布した接着用の樹脂に対してフローティングさせた状態で前記各
半導体チップを前記支持基板上にダイボンディングする
ことを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 1 記載の半導体装置の製造方法において、
前記配線を形成する工程を行った後、前記半導体チップ及び前記絶縁膜から前
記支持基板を剥がし取る工程を行う
ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置及びその製造方法に関し、特に複数の半導体チップが一
つの電子部品として組み立てられている、いわゆるマルチチップモジュール技術
を適用した半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

電気製品の小型、軽量、低消費電力化といった要求に応えるため、半導体素子
の高集積化技術と共に、これらの半導体素子を高密度に組み付ける実装技術も展
開してきている。そのような実装技術のうち、さらなる高密度実装を実現するた
め、多層配線支持基板やベアチップ実装等に加え、複数の半導体素子（半導体チ

ップ) を予め一つの電子部品として同一の支持基板に搭載して実装するマルチチップモジュール (Multi-Chip Module; 以下MCMと記す) 技術が開発されている。このMCM技術は、1つの基板上に2つ以上の半導体チップを組み込むことで、実質的な多機能化を実現している。

【0003】

図7は、このようなMCM技術を用いた半導体装置の一例を示す平面図及びそのA-A'断面図である。これらの図に示す半導体装置は、支持基板101上に異なる機能を有する2つの半導体チップ102、103を搭載してなるものである。支持基板101上には、複数の電極パッド (平面図のみに図示) 104及びこれらの電極パッド104間を接続するための配線 (図示省略) が形成されている。そして、各半導体チップ102、103間は、支持基板101上に設けられた電極パッド及び配線 (図示省略) と、ワイヤー105とによって接続されている。このような半導体装置と外部装置との接続は、支持基板101上に設けられた電極パッド104を介して成される。

【0004】

また、特開平5-47856には、支持基板 (セラミックプリント板等のパッケージ) 上に搭載された複数の半導体チップを覆う状態で絶縁膜を形成し、この絶縁膜に半導体チップと支持基板とに達する各接続孔を形成し、これらの接続孔を介して半導体チップと支持基板上の電極パッドとを接続する配線を絶縁膜上に形成してなる半導体装置が開示されている。この半導体装置によれば、ワイヤーによる接続によらず、半導体チップを覆う絶縁膜上に形成した配線によって、半導体チップとパッケージとを接続することで、半導体チップと支持基板上のパッドとが最短距離で接続されると共に、半導体チップからのリードの取り出し本数を増加させることができる。また、この配線を多層配線化するために、絶縁膜中にインタービアホールを設けた構成の半導体装置も提案されている。

【0005】

さらに、特開平9-64269には、複数の半導体チップにそれぞれ能力を分担させた出力バッファを設けることで、各出力バッファの能力を抑えて各半導体チップを小型化する半導体装置が開示されている。

【0006】

以上のようなMCM型の半導体装置の他にも、複数の半導体チップの機能を1つの半導体チップ内に作り込んでシステムLSIとすることで、半導体装置の高機能化を実現したものもある。

【0007】

【発明が解決しようとする課題】

ところが、上述した各MCM型の半導体装置においては、半導体チップが搭載されている支持基板（例えばセラミック回路基板）上の電極パッドを介して、半導体チップ間の接続や半導体チップと外部装置との接続が成される。このため、支持基板には、半導体チップを実装する面積に加えて電極パッドや配線を引き回す面積が必要となる。これは、実質的な実装面積を増大させる要因になると共に、半導体装置のコストを上昇させる要因になる。

【0008】

また、MCM型の半導体装置は、複数の半導体チップが1つのユニットとして樹脂中に密閉されるため消費電力が大きく、この消費電力に応じた熱が発生する。このため、この熱によって、半導体チップに形成された素子機能自体が故障するといった問題に加え、支持基板と半導体チップとの間の熱膨張係数差による半導体チップの剥がれ、さらにはこの半導体装置を封止する樹脂のクラック発生が問題となっている。

【0009】

一方、システムLSI型の半導体装置では、複数の機能（例えばメモリーとロジック）を1つの半導体チップに作り込むことから、MCM型の半導体装置と比較して、設計工程、ウェハ工程が複雑化し、歩留まりの低下や製造コストの上昇、さらにはTAT（Turn Around Time）の長期化を招くといった問題がある。

【0010】

そこで本発明は、さらなる実装面積の圧縮及びチップ間配線距離の短縮による高速動作が可能で、かつ消費電力の小さいMCM型の半導体装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

このような目的を達成するための本発明の第 1 の半導体装置は、支持基板上に搭載された複数の半導体チップと、これらの半導体チップを埋め込む状態で前記支持基板上に設けられた絶縁膜と、この絶縁膜に形成された接続孔を介して各半導体チップに接続する状態で当該絶縁膜上に設けられた配線とを備えたことを特徴としている。

【0012】

このような構成の第 1 の半導体装置では、複数の半導体チップは、支持基板を介することなく絶縁膜上に形成された配線によって直接接続される。このため、支持基板には、電極パッドや配線引き回しのためのスペースを設ける必要はなく、半導体チップを搭載するためのスペースのみを有していれば良いことになる。したがって、半導体装置の小型化が図られる。

【0013】

また、本発明の第 2 の半導体装置は、複数の半導体チップと、これらの半導体チップの裏面を露出させた状態で当該各半導体チップをその表面側から埋め込んで保持する絶縁材料層と、この絶縁材料層に形成された接続孔を介して各半導体チップに接続する状態で当該絶縁材料層上に設けられた配線とを備えたことを特徴としている。

【0014】

このような構成の第 2 の半導体装置では、複数の半導体チップは、これらをその表面側から埋め込んで保持する絶縁材料層上に形成された配線によって直接接続される。このため、この半導体装置は、絶縁材料層に対して複数の半導体チップを埋め込むだけのスペースのみを有していれば良いことになる。さらに、絶縁材料層が支持基板を兼ねるため、第 1 の半導体装置と比較して支持基板分の厚みが薄いものになる。したがって、半導体装置の小型化及び薄型化が図られる。

【0015】

さらに、本発明の第 3 の半導体装置においては、支持基板上に複数の半導体チップを搭載してなる半導体装置において、複数の半導体チップのうちの一部の半導体チップにおける所定回路を、複数の半導体チップで共有してなることを特徴

としている。この場合の所定回路は、外部機器との入出力インターフェース回路、電源回路、及び静電保護回路のうちの少なくとも1つの回路であることとする。

【0016】

このような構成の半導体装置では、複数の半導体チップにおける使用回路数が削減されるため、消費電力が削減されることになる。特に、入出力インターフェース回路や電源回路を複数の半導体チップで共有する構成にした場合には、これら消費電力の大きな回路が削減されることで、半導体装置全体としての消費電力が大幅に削減されることになる。しかも、全ての半導体チップに、上記の所定回路を設ける必要がなくなるため、これらの回路を持たない半導体チップを形成することで、各半導体チップの小型化、ひいてはこれらの半導体チップを用いて構成された半導体装置の小型化が図られる。

【0017】

そして、本発明の半導体装置の製造方法は、支持基板上に複数の半導体チップをダイボンディングする工程、半導体チップを埋め込む状態で支持基板上に絶縁膜を形成する工程、さらには各半導体チップに達する接続孔を絶縁膜に形成し、この接続孔を介して各半導体チップにそれぞれ接続される配線を絶縁膜上に形成する工程を行うことを特徴としている。またその後、半導体チップ及び絶縁膜から支持基板を剥がし取る工程を行っても良い。

【0018】

このような構成の半導体装置の製造方法では、ワイヤーボンディングによらず、リソグラフィ技術を用いたパターンニングによって絶縁膜上に配線が形成され、この配線によって、各半導体チップが直接接続された半導体装置が得られる。さらに、支持基板を剥がし取った場合には、半導体チップの裏面側を露出させた状態で、絶縁膜に対して複数の半導体チップが表面側から埋め込まれて保持された半導体装置が得られる。

【0019】

【発明の実施の形態】

以下、本発明実施の形態を図面に基づいて詳細に説明する。

【0020】

(第1実施形態)

図1(1)は、本発明を適用した半導体装置の第1実施形態を示す平面図であり、図1(2)は(1)のA-A'断面図である。尚、半導体装置の構成要素である各絶縁膜及び各接続孔は、断面図のみの図示とした。これらの図に示す半導体装置は、支持基板1上に複数(図面においては2つ)の半導体チップ2, 3を搭載してなる、いわゆるMCM型の半導体装置である。また、半導体チップ2, 3は、例えば信号処理用のロジック回路と光ディスク読み取り信号制御回路が形成されたロジック用の半導体チップ2、及び32BitDRAM回路が形成されたメモリ用の半導体チップ3であることとする。

【0021】

これらの半導体チップ2, 3には、それぞれの機能回路(ロジック回路、メモリ回路)の他に、入出力インターフェース回路(以下、入出力I/O回路と記す)2a, 3a、及びここでの図示を省略した電源インターフェース回路(以下、電源回路と記す)、さらには静電保護回路等がそれぞれ備えられている。ただし、ロジック用の半導体チップ2の入出力I/O回路2aには、DRAM回路用の入出力I/O回路機能を組み込んでおくこととする。さらに、ロジック用の半導体チップ2の電源回路には、DRAM回路用の電源回路機能を組み込んでおくこととする。

【0022】

また、各半導体チップ2, 3には、半導体チップ2, 3間の接続を図るための電極パッド2b, 3b(平面図のみに図示)や、その他の電極パッド2c, 3c(平面図のみに図示)が設けられている。

【0023】

さらに、ここでの図示は省略したが、各半導体チップ2, 3には、入出力I/O回路2a, 3aに接続される最上層配線の一部として、 $20\mu\text{m} \times 20\mu\text{m}$ 角の電極パッド及びこれに接続された $100\mu\text{m} \times 100\mu\text{m}$ 角の検査用パッドが備えられている。そして、ウェハ状態で検査用パッドに針当てして回路検査を行い、ウェハを裏面側から研削して各チップ毎に分割した後、この回路検査の結果に

基づいて良品と判定されたものが半導体チップ 2, 3 としてピックアップされている。

【0024】

また、支持基板 1 上にはこれらの半導体チップ 2, 3 を覆う状態で絶縁膜 4 が形成されている。この絶縁膜 4 には、各半導体チップ 2, 3 表面の電極パッド 2 b, 3 b にそれぞれ達する接続孔 5 が設けられている。

【0025】

また、この絶縁膜 4 上には、接続孔 5 を介して各半導体チップ 2, 3 に接続された配線 6 が形成されている。そして、絶縁膜 4 上には、配線 6 を埋め込む状態の層間絶縁膜 7、層間絶縁膜 7 に形成された接続孔 8、さらにはこの接続孔 8 を介して絶縁膜 4 上の配線 6 に接続された上層配線 9 が形成されて多層配線構造となっている。これらの配線 6 及び上層配線 9 は、各半導体チップ 2, 3 の入出力インターフェース回路 2 a, 3 a 及び電源回路のうち、ロジック用の半導体チップ 2 に設けられた入出力 I/O 回路 2 a 及び電源回路のみが 2 つの半導体チップ 2, 3 で共有されるように設けられていることとする。

【0026】

そして、この上層配線 9 を覆う状態で、層間絶縁膜 7 上に上層絶縁膜 10 が形成されており、この上層絶縁膜 10 には上層配線 9 に達する接続孔 11 が設けられている。そして、さらに、上層絶縁膜 10 上には、接続孔 11 を介して層間絶縁膜 7 上の上層配線 9 に接続された突起電極 12（断面図のみに図示）が設けられている。

【0027】

このような構成の半導体装置では、各半導体チップ 2, 3 が、支持基板 1 を介することなく絶縁膜 4 及び層間絶縁膜 7 上に形成された配線 6 及び上層配線 9 によって直接接続される。また、突起電極 12 によって、外部装置との接続が図られる。このため、支持基板 1 には、電極パッドや配線引き回しのためのスペースを設ける必要はなく、半導体チップ 2, 3 を搭載するためのスペースのみを有していれば良いことになる。したがって、半導体装置の小型化を図り、高密度実装を達成することが可能になる。

【 0 0 2 8 】

さらに、ワイヤーによらず、配線 6 及び上層配線 9 によって直接各半導体チップ 2, 3 間の接続が行われるため、高速動作が可能になると共に、配線の取り出し密度を高めることが可能になるため高機能化を図ることができる。

【 0 0 2 9 】

しかも、この半導体装置においては、ロジック用の半導体チップ 2 に設けられた入出力 I/O 回路 2 a 及び電源回路を 2 つの半導体チップ 2, 3 で共有していることから、これらの消費電力の大きな回路の使用を削減することができ、半導体装置全体としての消費電力を大幅に削減することが可能になる。この結果、半導体装置の発熱量を低減させることができ、半導体装置の信頼性の向上を図ることも可能になる。

【 0 0 3 0 】

次に、上記構成の半導体装置の製造方法を図 2 及び図 3 の断面工程図に基づいて説明する。

【 0 0 3 1 】

先ず、図 2 (1) に示すように、シリコンウェハからなる支持基板 1 の表面側に、MCM のチップ配列に応じたターゲットマーク 1 a を形成し、これらのターゲットマーク 1 a と各半導体チップ 2, 3 表面の配線パターン (図示省略) との間のアライメントをとりつつ、ダイボンド装置 A を用いて各半導体チップ 2, 3 を支持基板 1 上の所定位置にダイボンドする。この際、支持基板 1 と各半導体チップ 2, 3 との接着は、導電性接着剤 2 0 を用いて行うこととする。

【 0 0 3 2 】

次に、図 2 (2) に示すように、各半導体チップ 2, 3 を埋め込む状態で、支持基板 1 上に第 1 絶縁膜 4 a を形成する。この第 1 絶縁膜 4 a は、半導体チップ 2, 3 よりも厚い膜厚に形成する。次いで、第 1 絶縁膜 4 a 上に、半導体チップ 2, 3 間のチップ厚差を越える膜厚の第 2 絶縁膜 4 b を形成する。その後、CMP (Chemical Mechanical Polishing) 法によって、第 2 絶縁膜 4 b の表面を平坦化研磨し、さらにこの第 2 絶縁膜 4 b 上に膜厚 1 μ m 程度の第 3 絶縁膜 (図示省略) を形成することで、これらの各絶縁膜を積層してなる表面平坦な絶縁膜 4

を得る。

【0033】

しかる後、図2（3）に示すように、リソグラフィー技術を用いることによって、絶縁膜4上にレジストパターン21を形成する。この際、各半導体チップ2、3表面の配線パターンとのアライメントを取りつつパターン露光を行うことで、所定位置に孔パターンが設けられたレジストパターン21を形成する。

【0034】

次に、このレジストパターン21をマスクにして、絶縁膜4をエッチングし、半導体チップ2、3表面の電極パッドに達する接続孔5（例えば、開口径 $18\mu\text{m}$ × $18\mu\text{m}$ ）を形成する。

【0035】

次いで、レジストパターン21を絶縁膜4上から除去した後、図3（1）に示すように、リソグラフィー技術によって、絶縁膜4上に新たなレジストパターン22を形成する。この際、各半導体チップ2、3表面の配線パターンとのアライメントを取りつつパターン露光を行うことで、所定位置に溝パターンが設けられたレジストパターン22を形成する。

【0036】

その後、このレジストパターン22をマスクにして、絶縁膜4の表面層をエッチングし、この絶縁膜4の表面側に深さ $2\mu\text{m}$ 程度の配線溝4dを形成する。

【0037】

次いで、レジストパターン22を除去した後、配線溝4d及び接続孔5の内壁を含む絶縁膜4上に、スパッタ法によって 50nm の膜厚の銅（Cu）膜を核成長層として堆積させ、次いで、無電解メッキにより $5\mu\text{m}$ の膜厚のCu膜を形成する。次に、Cu用のCMP装置を用いて、絶縁膜4の表面上のCuを除去し、配線溝4d及び接続孔5内にのみCuを残す。

【0038】

以上によって、図3（2）に示すように、接続孔5を介して半導体チップ2、3に接続された、Cuからなる配線6を形成する。

【0039】

尚、上述のレジストパターン21、22の形成において用いられるリソグラフィー装置、及びエッチング工程において用いられるエッチング装置は、半導体前工程（すなわちウェハ工程）で用いられるものであることとする。また、リソグラフィーの際のパターン露光におけるアライメントは半導体装置を構成する半導体チップ2、3のグループ毎であっても、半導体チップ2、3毎であっても良い。

【0040】

以上の後、図2（2）～図3（2）を用いて説明した工程を複数回繰り返し行うことによって、図3（3）に示すように、配線6を覆う状態で絶縁膜4上に層間絶縁膜7を形成し、この層間絶縁膜7に接続孔8を形成し、さらに層間絶縁膜7上に配線6に接続された上層配線9を形成する。尚、ここでは、上記工程を一回繰り返した場合を図示した。

【0041】

そして、最上部の配線層には、配線の形成と同時に突起電極形成用パッドを形成する。ここでは、上層配線9の形成と同時に、上層配線9の一部として層間絶縁膜7上に突起電極形成用パッド9aを設けると共に、この突起電極形成用パッド9aに接続させた状態の検査用パッド（図示省略）を設けることとする。

【0042】

次に、上層配線9及び突起電極形成用パッド9aを覆う状態で、層間絶縁膜7上に回路保護膜（図示省略）を形成し、この回路保護膜に検査パッドのみを露出させる窓開けを行う。次いで、シリコンウェハからなる支持基板1をその裏面側からバックグラインドして薄型化した後、テスト用のプロバーを用いて検査用パッドに針当てしてMCMとしての動作試験と選別を実施する。

【0043】

以上の後、上記回路保護膜を除去して、上層配線9及び突起電極形成用パッド9aを覆う状態で、層間絶縁膜7上に上層絶縁膜10を形成し、リソグラフィー及びその後のエッチングによって、上層絶縁膜10に突起電極形成用パッド9aに達する接続孔11を形成する。次いで、この接続孔11を介して突起電極形成用パッド9aに接続された突起電極12（MCM組み付け用突起電極）を、上層

絶縁膜10上に形成する。

【0044】

次に、図1に示したように、MCM毎にシリコンウェハからなる支持基板1を分割し、上記動作試験で良品と判定されたものをピックアップして樹脂封止を行い、半導体装置を完成させる。

【0045】

このような製造方法によれば、半導体前工程（すなわちウェハ工程）で行われるリソグラフィー技術とエッチング技術とを用いたパターンニングによって接続孔5、8、11、配線6及び上層配線9が形成され、各半導体チップ2、3がこれらの配線6、9によって直接接続された半導体装置を得ることができる。このため、支持基板1上に形成したパッドやワイヤーを介して半導体チップ2、3間を接続する従来技術と比較して、短距離での接続が可能になると共に配線の取り出し密度を向上させることが可能になる。したがって、半導体装置の動作速度の向上及び高機能化を図ることが可能になる。

【0046】

しかも、支持基板1としてシリコンウェハを用いたことで、半導体前処理工程への適用を容易にすることができる。

【0047】

（第2実施形態）

図4（1）は、本発明を適用した半導体装置の第1実施形態を示す平面図であり、図4（2）は（1）のA-A'断面図である。これらの図に示す半導体装置と、第1実施形態の半導体装置との異なるところは、半導体チップ2、3の支持状態にあり、その他の構成は同様であることとする。

【0048】

すなわち、この半導体装置は、複数の半導体チップ2、3の裏面側を露出させた状態で、各半導体チップ2、3をその表面側から絶縁材料層4に埋め込んで保持させてなるMCMであり、支持基板（1）を備えていない。この絶縁材料層4は、ここでは、第1実施形態における絶縁膜4に相当している。

【0049】

このため、各半導体チップ 2, 3 表面の電極パッド（図示省略）にそれぞれ達する接続孔 5 は、この絶縁材料層（絶縁膜） 4 に設けられていることになる。

【 0 0 5 0 】

このような構成の半導体装置は、第 1 実施形態の半導体装置と同様に、各半導体チップ 2, 3 が配線 6 及び上層配線 9 によって直接接続され、また外部装置との接続が突起電極 1 2 によって図られることから、第 1 実施形態の半導体装置と同様の効果を得ることができる。

【 0 0 5 1 】

しかも、各半導体チップ 2, 3 の裏面側が露出していることから、第 1 実施形態の半導体装置と比較して放熱効率が上昇する。このため、半導体装置の信頼性をさらに向上させることが可能になる。また、第 1 実施例の支持基板に相当するものを備えていないことから、半導体装置の薄型化を図ることが可能になる。

【 0 0 5 2 】

次に、上記構成の半導体装置の製造方法を図 5 及び図 6 の断面工程図に基づいて説明する。

【 0 0 5 3 】

先ず、図 5（1）に示すように、第 1 実施例と同様のターゲットマーク 1 a が形成されたシリコンウェハからなる支持基板 1 を用意し、その表面側に樹脂 3 0 を塗布する。次いで、ターゲットマーク 1 a と各半導体チップ 2, 3 表面の配線パターン（図示省略）との間のアライメントをとりつつ、ダイボンド装置 A を用いて各半導体チップ 2, 3 を支持基板 1 上の所定位置にフェースアップ状態でダイボンドする。この際、各半導体チップ 2, 3 を樹脂 3 0 に対してフローティング状態とし、各半導体チップ 2, 3 の表面高さが同一となるように調整する。

【 0 0 5 4 】

以上の後、図 5（2）～図 6（3）に示す工程を、第 1 実施形態で図 2（2）～図 3（3）を用いて説明したと同様に行うことで、図 6（3）に示すように、絶縁材料層となる絶縁膜 4、接続孔 5、配線 6、層間絶縁膜 7、接続孔 8 及び上層配線 9、9 a を形成し、動作試験を行った後、上層絶縁膜 1 0、接続孔 1 1、及びパンプ 1 2 を形成する。ただし、動作試験の前に支持基板 1 の薄型化を行う

BGR工程を省略し、支持基板1の厚みを保つこととする。

【0055】

次に、ダイシング加工を施し、MCMの境界部分にダイシング溝31を形成する。ただし、ダイシング溝31は、支持基板1の途中深さまでとする。

【0056】

以上の後、ダイシング溝31に樹脂分解液を注入することで、支持基板1と各半導体チップ2、3及び絶縁膜4との間の樹脂30を分解する。これによって、図4に示したように、支持基板1から各MCMを分離させ、上記動作試験で良品と判定されたものをピックアップして樹脂封止を行い、半導体装置を完成させる。

【0057】

このような製造方法によれば、図5(1)を用いて説明したように、樹脂30に各半導体チップ2、3をフローティングさせることで、半導体チップ2、3の表面高さを均一にすることができる。このため、絶縁膜4の平坦化が容易になり、半導体装置の薄型化を図ることが可能になる。

【0058】

また、シリコンウェハからなる支持基板1をリサイクルできるため、半導体装置の製造コストの削減を図ることが可能になる。

【0059】

以上説明した各実施形態においては、ロジック用の半導体チップ2の入出力I/O回路2aにDRAM回路用の入出力I/O回路機能を組み込み、同半導体チップ2の電源回路にDRAM回路用の電源回路機能を組み込み、この半導体チップ2の入出力I/O回路2a及び電源回路を2つの半導体チップ2、3で共有するように配線4及び上層配線9を設けた場合を説明した。このため、メモリ用の半導体チップ3には、入出力I/O回路3a及び電源回路を設ける必要はなく、これらの回路を持たないメモリ用チップ3を用いることでメモリ用チップの小型化、ひいては半導体装置のさらなる小型化を図ることが可能になる。これは、静電保護回路においても同様である。

【0060】

また、他の半導体チップの入出力I/O回路機能、電源回路機能、さらには静電保護回路機能等を組み込む半導体チップは、ロジック用の半導体チップ2に限定されることはなく、メモリ用の半導体チップ3にロジック回路用の入出力I/O回路機能、電源回路機能、さらには静電保護回路機能等を組み込んでも良い。

【0061】

ただし、入出力I/O回路を設けていない半導体チップの回路検査を行う場合には、テスト用のプロバーに入出力I/O回路を組み込み、この回路を介して当該半導体チップの検査用パッドに針当てをして回路検査を行うこととする。

【0062】

また、以上の実施形態においては、上述したように、ロジック用の半導体チップ2の入出力I/O回路2aにDRAM回路用の入出力I/O回路機能を組み込み、同半導体チップ2の電源回路にDRAM回路用の電源回路機能を組み込んだ構成の半導体装置を説明した。しかし、本発明の半導体装置は、従来と同様にそれぞれの半導体チップにそれぞれの半導体チップ用の入出力I/O回路、電源回路及び静電保護回路等を設けた半導体装置にも適用可能である。

【0063】

このような構成の半導体装置においては、汎用性のある各半導体チップを用いて、上述のように小型化されたMCMが構成されることになる。このため、各半導体チップ単体での出荷も可能になり、需給バランスによりMCMと単体の半導体チップでの出荷の選択が可能となる。したがって、製造ラインのフレキシビリティの拡大と半製品（例えば半導体チップ等）の在庫圧縮を達成することができ、製造コストの削減を図ることが可能になる。

【0064】

【発明の効果】

以上説明したように、本発明における請求項1及び請求項5に係る半導体装置によれば、同一の支持体上に搭載された複数の半導体チップを、半導体チップ外の電極パッドを介することなく絶縁膜上に形成された配線によって直接接続する構成にしたことで、半導体装置の小型化を図ることが可能になる。

【0065】

また、請求項 9 に係る半導体装置によれば、複数の半導体チップを搭載してなる半導体装置において、一部の半導体チップに設けられた所定回路を複数の半導体チップで共有する構成にしたことで、半導体装置全体としての使用回路数を削減し、消費電力の削減を図ることが可能になる。特に、入出力インターフェース回路や電源回路を複数の半導体チップで共有する構成にした場合には、これら消費電力の大きな回路が削減されることで、半導体装置全体としての消費電力が大幅に削減されることになる。この結果、半導体装置の信頼性を向上させることも可能になる。

【 0 0 6 6 】

さらに、本発明の半導体装置の製造方法によれば、ワイヤーボンディングによらず、パターニングによって絶縁膜上に形成された配線によって、各半導体チップを直接接続する構成にしたことで、小型化された半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】

第 1 実施形態の半導体装置の構成を示す平面図及び断面図である。

【図 2】

第 1 実施形態の半導体装置の製造方法を示す断面工程図（その 1）である。

【図 3】

第 1 実施形態の半導体装置の製造方法を示す断面工程図（その 2）である。

【図 4】

第 2 実施形態の半導体装置の構成を示す平面図及び断面図である。

【図 5】

第 2 実施形態の半導体装置の製造方法を示す断面工程図（その 1）である。

【図 6】

第 2 実施形態の半導体装置の製造方法を示す断面工程図（その 2）である。

【図 7】

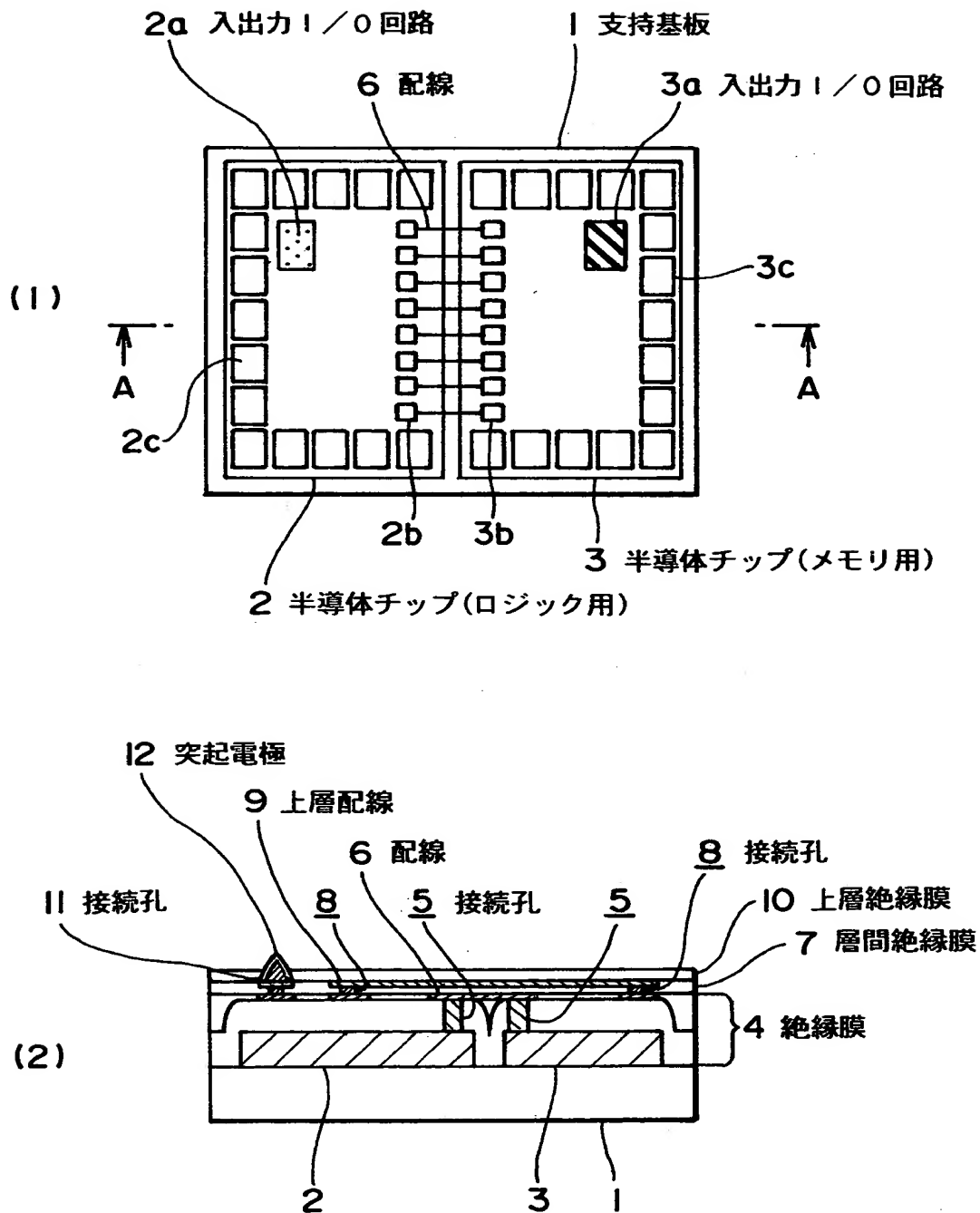
従来の半導体装置の構成を示す平面図及び断面図である。

【符号の説明】

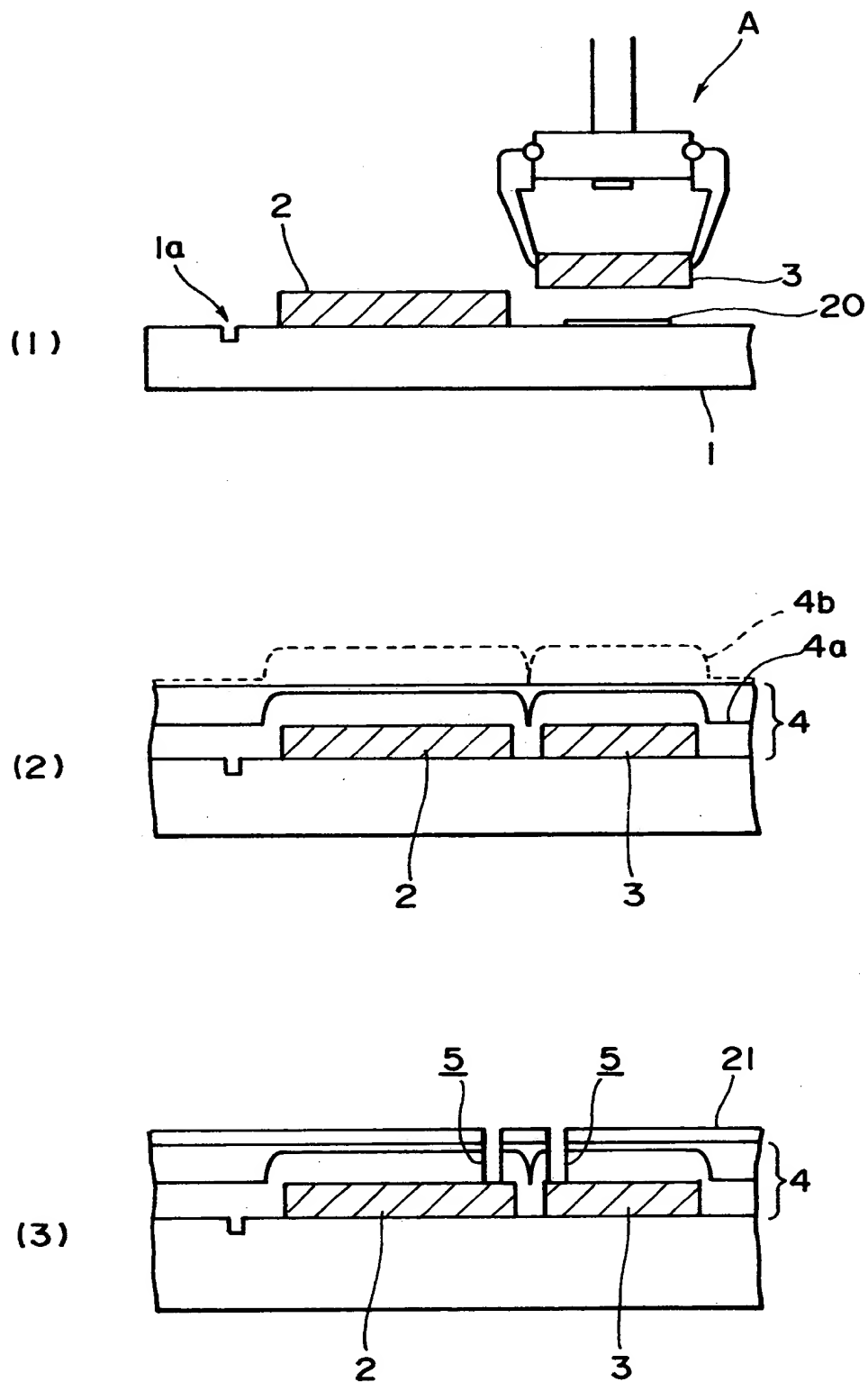
1…支持基板、2…半導体チップ、2 a, 3 a…入出力I/O回路、3…半導体チップ、4…絶縁膜（絶縁材料層）、5…接続孔、6…配線、7…層間絶縁膜、8…接続孔、9…上層配線、10…上層絶縁膜、11…接続孔、12…突起電極、30…樹脂

【書類名】 図面

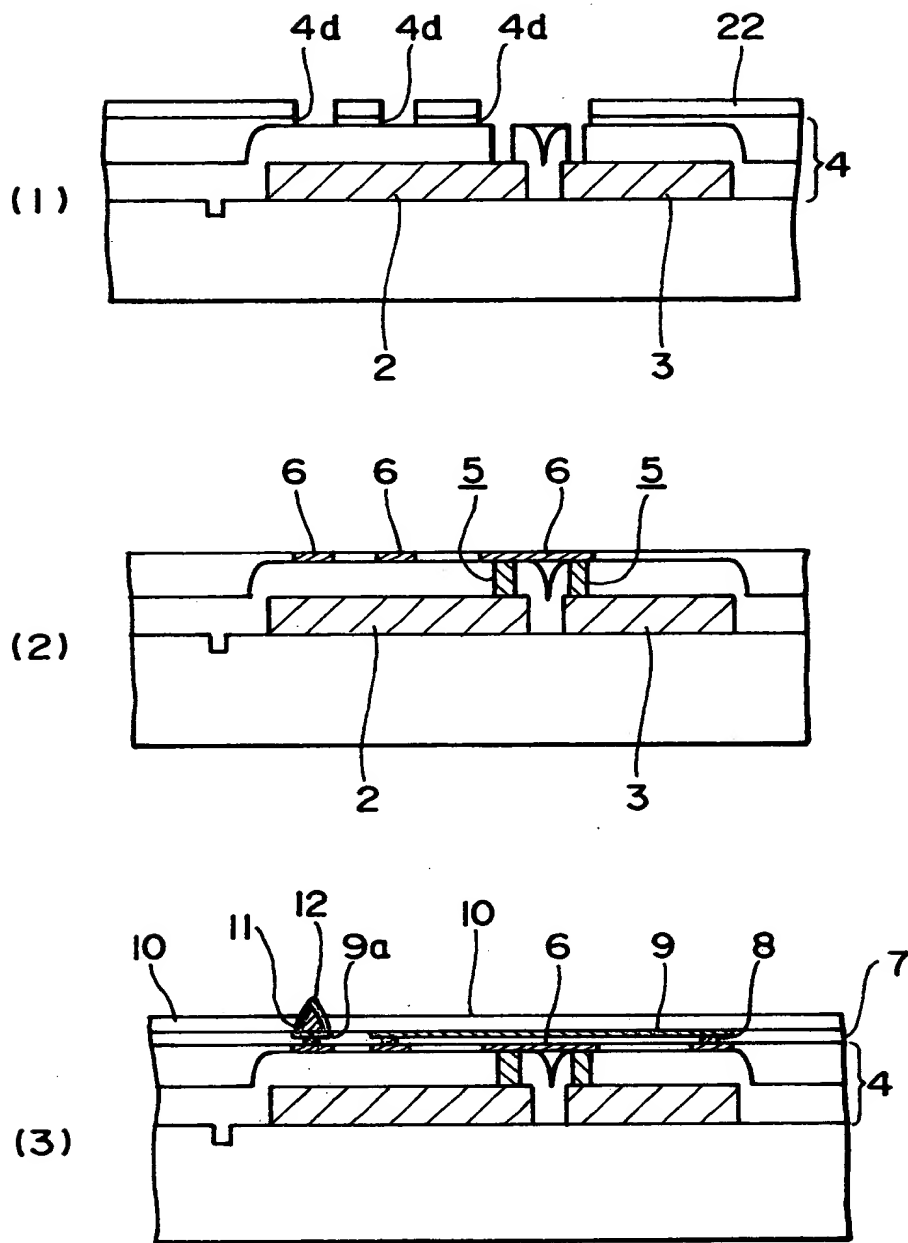
【図 1】



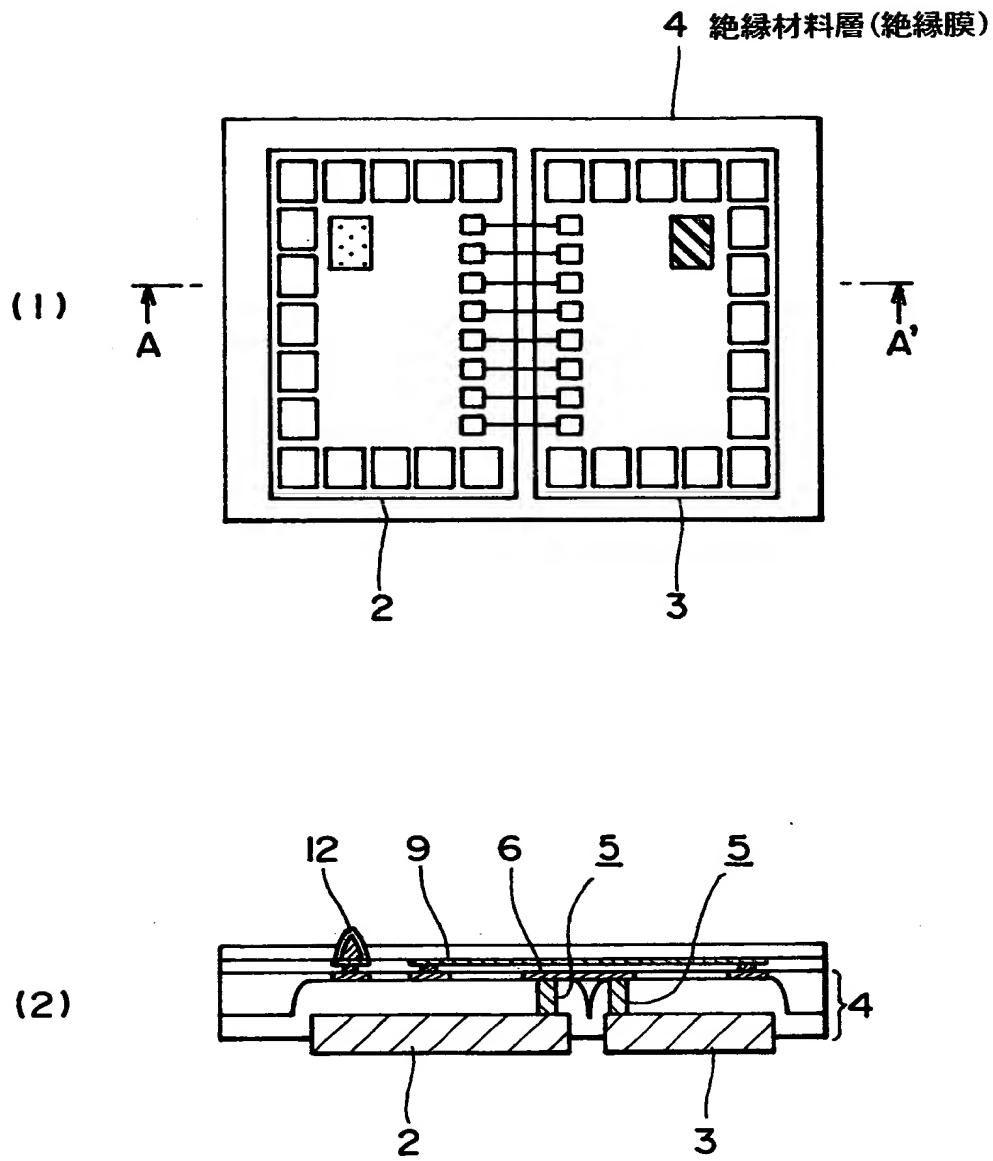
【図 2】



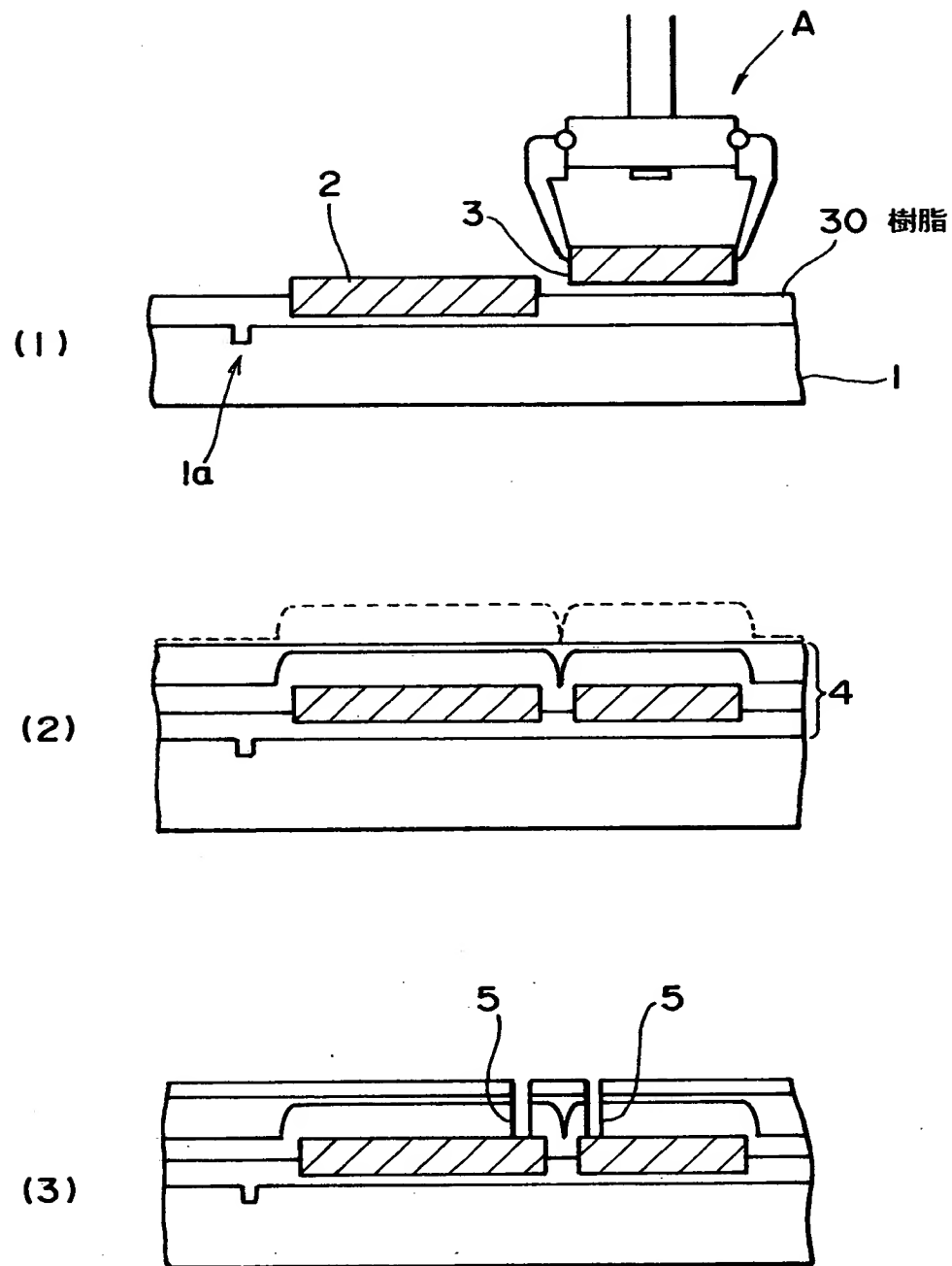
【図 3】



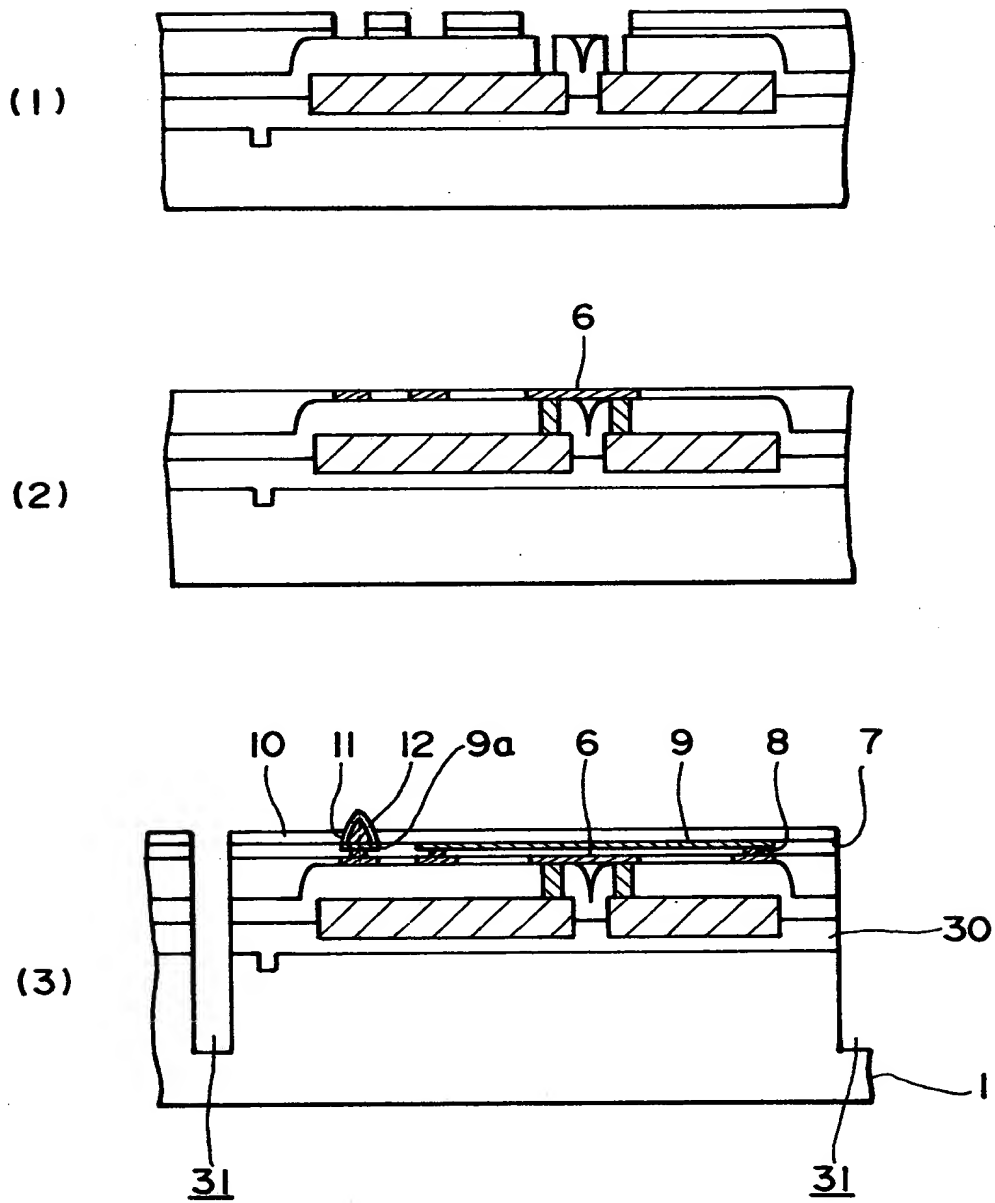
【図 4】



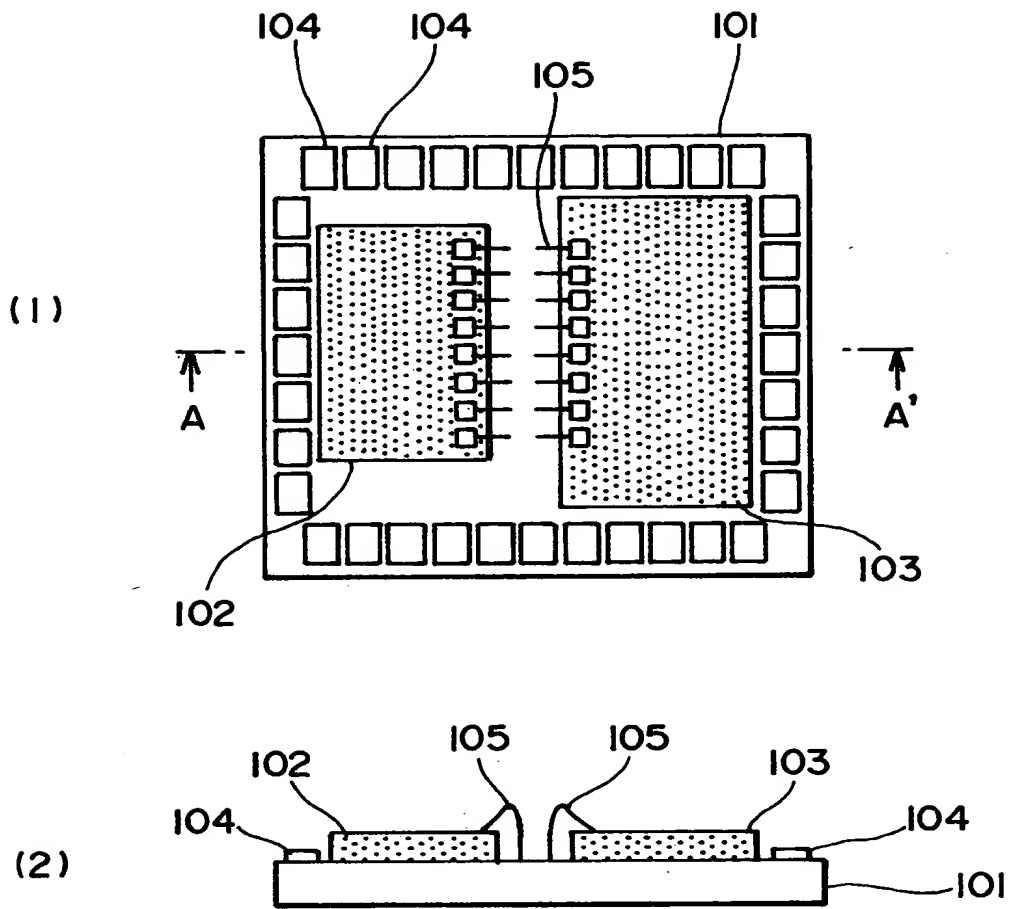
【図5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】 高密度実装が可能なMCM型の半導体装置及びその製造方法を提供する。

【解決手段】 支持基板 1 上に搭載された半導体チップ 2, 3、これらの半導体チップ 2, 3 を埋め込む状態で支持基板 1 上に設けられた絶縁膜 4、この絶縁膜 4 に形成された接続孔 5 を介して各半導体チップ 2, 3 に接続する状態で絶縁膜 4 上に設けられた配線 6 を備えている。さらに、配線 6 を覆う層間絶縁膜 7、この層間絶縁膜 7 に設けられた接続孔 8、接続孔 8 を介して配線 6 に接続された上層配線 9 が設けられている。また、上層配線 9 を覆う上層絶縁膜 10 に形成された接続孔 11 を介して上層配線 9 に接続させた突起電極 12 が、上層絶縁膜 10 上に設けられている。

【選択図】 図 1

特 2 0 0 0 - 0 8 3 3 6 7

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 0 8 3 3 6 7
受付番号	5 0 0 0 0 3 6 0 4 6 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 2 年 4 月 1 0 日

< 認定情報・付加情報 >

【提出日】	平成12年 3月24日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社